

VIA HAND DELIVERY
PATENT
36856.1102

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Mitsuhide KATO et al. Serial No.: Currently unknown Filing Date: Concurrently herewith For: LAMINATED ELECTRONIC COMPONENT	
--	--

TRANSMITTAL OF PRIORITY DOCUMENTS

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of each of Japanese Patent Application No. **2002-259156** filed **September 4, 2002**, from which priority is claimed under 35 U.S.C. 119 and Rule 55b. Acknowledgement of the priority document is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: August 5, 2003



Attorneys for Applicant(s)

Joseph R. Keating
Registration No. 37,368

Christopher A. Bennett
Registration No. 46,710

KEATING & BENNETT LLP
10400 Eaton Place, Suite 312
Fairfax, VA 22030
Telephone: (703) 385-5200

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 9月 4日

出 願 番 号
Application Number:

特願2002-259156

[ST.10/C]:

[JP2002-259156]

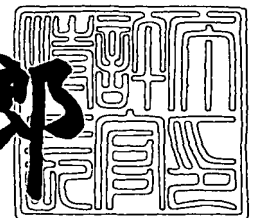
出 願 人
Applicant(s):

株式会社村田製作所

2003年 6月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051578

【書類名】 特許願

【整理番号】 102069

【提出日】 平成14年 9月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H05K 1/16
H01L 23/02

【発明者】

 【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

 【氏名】 加藤 充英

【発明者】

 【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

 【氏名】 児堂 義一

【発明者】

 【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

 【氏名】 小川 圭二

【特許出願人】

 【識別番号】 000006231

 【氏名又は名称】 株式会社村田製作所

 【代表者】 村田 泰隆

【代理人】

 【識別番号】 100085143

 【弁理士】

 【氏名又は名称】 小柴 雅昭

 【電話番号】 06-6779-1498

【手数料の表示】

 【予納台帳番号】 040970

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 積層型電子部品

【特許請求の範囲】

【請求項 1】 電気絶縁性の複数層の絶縁層と前記絶縁層間の特定の界面に沿って形成された内部導体膜とを厚み方向に積層した構造を有する、積層体と、
前記積層体における前記絶縁層の延びる方向に延びかつ外部に向かって露出している面上に設けられる、外部導体膜と

を備える、積層型電子部品であって、

前記外部導体膜と同電位の予備導体膜が、前記外部導体膜と対向するように、前記絶縁層間の特定の界面に沿って設けられていることを特徴とする、積層型電子部品。

【請求項 2】 前記予備導体膜と前記外部導体膜との間には、1 層の前記絶縁層が介在している、請求項 1 に記載の積層型電子部品。

【請求項 3】 前記予備導体膜と前記外部導体膜との間の前記絶縁層の厚みは、 $10 \sim 150 \mu\text{m}$ とされる、請求項 1 または 2 に記載の積層型電子部品。

【請求項 4】 前記予備導体膜は、少なくとも前記外部導体膜を覆う面積を有している、請求項 1 ないし 3 のいずれかに記載の積層型電子部品。

【請求項 5】 前記予備導体膜と前記外部導体膜とは、ビアホール導体を介して互いに電氣的に接続される、請求項 1 ないし 4 のいずれかに記載の積層型電子部品。

【請求項 6】 前記予備導体膜と前記外部導体膜とは、前記積層体の外表面上に設けられた導体を介して互いに電氣的に接続される、請求項 1 ないし 4 のいずれかに記載の積層型電子部品。

【請求項 7】 前記外部導体膜は、前記内部導体膜との間に直流バイアスが印加されるものである、請求項 1 ないし 6 のいずれかに記載の積層型電子部品。

【請求項 8】 前記外部導体膜は、前記積層体の少なくとも一方の主面上に設けられるものを含む、請求項 1 ないし 7 のいずれかに記載の積層型電子部品。

【請求項 9】 前記積層体の一方の主面上に搭載されるチップ部品をさらに備え、前記外部導体膜は、前記チップ部品との間での電氣的接続を図るためのも

のを含む、請求項 8 に記載の積層型電子部品。

【請求項 1 0】 前記外部導体膜は、当該積層型電子部品を実装するための実装基板との間での電氣的接続を図るためのものを含む、請求項 8 に記載の積層型電子部品。

【請求項 1 1】 前記積層体には、その少なくとも一方の主面上に開口を位置させたキャビティが設けられ、前記外部導体膜は、前記キャビティの底面上に設けられるものを含む、請求項 1 ないし 7 のいずれかに記載の積層型電子部品。

【請求項 1 2】 前記キャビティ内に收容されるチップ部品をさらに備え、前記外部導体膜は、前記チップ部品を接合するためのダイボンド面を与えるものを含む、請求項 1 1 に記載の積層型電子部品。

【請求項 1 3】 前記予備導体膜と前記外部導体膜とは、ビアホール導体を介して互いに電氣的に接続されるとともに、前記ビアホール導体は、前記キャビティの底面が延びる領域外に位置される、請求項 1 1 または 1 2 に記載の積層型電子部品。

【請求項 1 4】 前記絶縁層はセラミックからなる、請求項 1 ないし 1 3 のいずれかに記載の積層型電子部品。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、積層型電子部品に関するもので、特に、外部に向かって露出している面上に外部導体膜が設けられている積層型電子部品に関するものである。

【0 0 0 2】

【従来の技術】

図 5 は、この発明にとって興味ある従来の積層型電子部品 1 を示す断面図である。

【0 0 0 3】

積層型電子部品 1 は、想像線で示す実装基板 2 上に実装されるもので、電気絶縁性の複数層の絶縁層 3 を厚み方向に積層した構造を有する積層体 4 を備えている。絶縁層 3 は、典型的には、セラミックから構成される。

【0004】

積層体4には、その少なくとも一方の主面、たとえば実装基板2側に向く主面5上に開口6を位置させたキャビティ7が設けられ、キャビティ7内には、たとえばICチップや弾性表面波フィルタ等のチップ部品8が収容されて搭載されている。図示しないが、キャビティ7内にチップ部品8を収容した後、キャビティ7が電気絶縁性の樹脂によって充填されることもある。

【0005】

積層体4の内部には、詳細には図示しないが、いくつかの内部導体膜およびいくつかのビアホール導体が設けられ、この積層型電子部品1において必要な配線を与えている。また、これら内部導体膜およびビアホール導体は、コンデンサ、インダクタ、遅延線および／またはフィルタ等を構成するように配置されることもある。積層体4の内部には、上述した内部導体膜のほか、抵抗器を与える抵抗体膜が設けられることもある。

【0006】

図5には、上述した内部導体膜として、コンデンサを構成する1対の容量形成用導体膜9および10が特定の絶縁層3を介して対向するように配置されている状態が図示されている。

【0007】

積層体4には、絶縁層3の延びる方向に延びかつ外部に向かって露出している面として、たとえば、前述した主面5、この主面5とは逆の主面11、およびキャビティ7の底面12がある。そして、一方の主面5上には、外部導体膜13が設けられ、他方の主面11上には、外部導体膜14が設けられ、キャビティ7の底面12上には、外部導体膜15が設けられている。

【0008】

外部導体膜13は、この積層型電子部品1を実装するための実装基板2との間での電氣的接続を図るための導電ランドとして機能する。外部導体膜14は、主面11上に搭載されるチップ部品16との間での電氣的接続を図るための導電ランドとして機能する。外部導体膜15は、キャビティ7内に収容されるチップ部品8を接合するためのダイボンド面を与えるように機能する。

【0009】

なお、積層体4の主面11上に搭載されるチップ部品16としては、たとえば、コンデンサ、インダクタ、抵抗器、ダイオード、IC、メモリ、SAWフィルタ、水晶振動子等の機能を有する電子部品がある。

【0010】

【特許文献1】

特開2001-267448号公報

【0011】

【発明が解決しようとする課題】

たとえば、外部導体膜13にあっては、積層型電子部品1を実装基板2に実装する際、外部導体膜14にあっては、チップ部品16を搭載する際、あるいは、外部導体膜15にあっては、チップ部品8を搭載する際、それぞれに対して、ある程度の衝撃が及ぼされ、それによる応力の結果、外部導体膜13～15の各々の直下に位置する絶縁層3にクラックが生じることがある。特に、絶縁層3がセラミックから構成されるとき、このようなクラックが生じやすい。

【0012】

また、他の原因によって、上述のようなクラックが生じることもある。

【0013】

このように、クラックが生じた場合、以下のような問題を引き起こすことがある。

【0014】

たとえば、外部導体膜15の直下の絶縁層3にクラックが生じ、この状態のまま、外部導体膜15にグラウンド電位が与えられながら、この積層型電子部品1が使用されていたとする。この場合、外部導体膜15とたとえば容量形成用導体膜10との間には、一定の直流バイアスが印加されることになるので、外部導体膜15と容量形成用導体膜10との間で、これらを構成する金属材料のマイグレーションが生じたりして、ショート不良やリーク不良を招き、積層型電子部品1の機能が損なわれることがある。

【0015】

上述の説明は、外部導体膜 1 5 に関連して行なったが、外部導体膜 1 3 および 1 4 の各々についても、同様の問題に遭遇し得る。

【 0 0 1 6 】

そこで、この発明の目的は、上述したような問題を解決し得る積層型電子部品を提供しようとすることである。

【 0 0 1 7 】

【課題を解決するための手段】

この発明は、電気絶縁性の複数層の絶縁層と絶縁層間の特定の界面に沿って形成された内部導体膜とを厚み方向に積層した構造を有する、積層体と、この積層体における絶縁層の延びる方向に延びかつ外部に向かって露出している面上に設けられる、外部導体膜とを備える、積層型電子部品に向けられるものであって、上述した技術的課題を解決するため、外部導体膜と同電位の予備導体膜が、外部導体膜と対向するように、絶縁層間の特定の界面に沿って設けられていることを特徴としている。

【 0 0 1 8 】

好ましくは、予備導体膜と外部導体膜との間には、1 層の絶縁層が介在するようにされる。

【 0 0 1 9 】

また、予備導体膜と外部導体膜との間の絶縁層の厚みは、1 0 ～ 1 5 0 μ m とされることが好ましい。

【 0 0 2 0 】

予備導体膜は、少なくとも外部導体膜を覆う面積、すなわち、外部導体膜と同等以上の面積を有していることが好ましい。

【 0 0 2 1 】

予備導体膜と外部導体膜とを、上述のように、互いに同電位にするため、たとえば、ビアホール導体を介してこれらを互いに電氣的に接続する構造、あるいは積層体の外表面上に設けられた導体を介してこれらを互いに電氣的に接続する構造を採用することができる。

【 0 0 2 2 】

この発明は、積層型電子部品の使用状態において、外部導体膜と内部導体膜との間に直流バイアスが印加されるとき、特に有利に適用される。

【 0 0 2 3 】

上述した外部導体膜は、たとえば、積層体の少なくとも一方の主面上に設けられる。この場合において、外部導体膜は、積層体の一方の主面上に搭載されるチップ部品との間での電氣的接続を図るためのものであったり、この積層型電子部品を実装するための実装基板との間での電氣的接続を図るためのものであったりする。

【 0 0 2 4 】

また、積層体には、その少なくとも一方の主面上に開口を位置させたキャビティが設けられていてもよい。この場合には、外部導体膜は、たとえば、キャビティの底面上に設けられる。キャビティ内に收容されるチップ部品をさらに備える場合、上述の外部導体膜は、このチップ部品を接合するためのダイボンド面を与えるものであってもよい。

【 0 0 2 5 】

なお、上述の場合、外部導体膜とチップ部品とは電氣的に接続されないこともあり、外部導体膜は、チップ部品の機械的な固定のため、あるいはシールド用として用いられることもある。

【 0 0 2 6 】

また、上述したようなキャビティが設けられる場合であって、予備導体膜と外部導体膜とがビアホール導体を介して互いに電氣的に接続される場合には、このビアホール導体は、キャビティの底面の平坦性を確保するために、キャビティの底面が延びる領域外に位置されることが好ましい。

【 0 0 2 7 】

この発明は、絶縁層がセラミックからなるとき、特に有利に適用される。

【 0 0 2 8 】

【発明の実施の形態】

図 1 は、この発明の第 1 の実施形態による積層型電子部品 2 1 を示す断面図である。

【 0 0 2 9 】

積層型電子部品 2 1 は、想像線で示す実装基板 2 2 上に実装されるものであり、電気絶縁性の複数層の絶縁層 2 3 を厚み方向に積層した構造を有する積層体 2 4 を備えている。絶縁層 2 3 は、典型的には、セラミックから構成されるが、他の電気絶縁性材料から構成されてもよい。

【 0 0 3 0 】

積層体 2 4 には、その少なくとも一方の主面、たとえば、実装基板 2 2 側に向く主面 2 5 上に開口 2 6 を位置させたキャビティ 2 7 が設けられている。キャビティ 2 7 内には、ICチップや弾性表面波フィルタ等のチップ部品 2 8 が収容されて搭載されている。図 1 では図示されないが、チップ部品 2 8 は、たとえばワイヤボンディングやフリップチップボンディング（バンブ接続）等によって、積層体 2 4 側の導電ランドと電氣的に接続される。また、チップ部品 2 8 がキャビティ 2 7 内に搭載された後、キャビティ 2 7 に電気絶縁性の樹脂が充填されてもよい。

【 0 0 3 1 】

積層体 2 4 は、絶縁層 2 3 の延びる方向に延びかつ外部に向かって露出している面として、前述した主面 2 5 のほか、この主面 2 5 とは逆の主面 2 9 およびキャビティ 2 7 の底面 3 0 を備えている。そして、一方の主面 2 9 上には、外部導体膜 3 1 が設けられ、キャビティ 2 7 の底面 3 0 上には、外部導体膜 3 2 が設けられている。

【 0 0 3 2 】

外部導体膜 3 1 は、積層体 2 4 の主面 2 9 上に搭載されるチップ部品 3 3 との間での電氣的接続を図るための導電ランドとして機能する。また、外部導体膜 3 2 は、キャビティ 2 7 内に収容されるチップ部品 2 8 を接合するためのダイボンド面を与えるものである。なお、外部導体膜 3 2 は、後述する内部導体膜やビアホール導体と接続するために、キャビティ 2 7 の底面 3 0 上だけでなく、積層体 2 4 の内部にまで延びているが、必ずしもこのように延びている必要はない。

【 0 0 3 3 】

上述した主面 2 9 上に搭載されるチップ部品 3 3 としては、たとえば、コンデ

ンサ、インダクタ、抵抗器、ダイオード、IC、メモリ、SAWフィルタ、水晶振動子等の機能を有する電子部品がある。

【 0 0 3 4 】

積層体 2 4 の側面上の主面 2 5 側の端部には、入出力用端子として機能する端子導体 3 4 およびこれに接続される外部導体膜 6 3 が設けられている。端子導体 3 4 および外部導体膜 6 3 は、実装基板 2 2 との間での電氣的接続を図るために用いられる。端子導体 3 4 は、積層体 2 4 を複数個取り出すためのマザー積層体の段階で形成されたビアホール導体を、マザー積層体の分割に際して分割することによって形成されることができる。この実施形態では、マザー積層体の分割に先立って、上述のビアホール導体を分割するための溝が形成され、この溝の形成に由来する段部 3 5 が積層体 2 4 の側面に形成されている。

【 0 0 3 5 】

なお、端子導体 3 4 は、分割後の積層体 2 4 の側面に導電性ペースト等の導体を付与することによって形成されてもよい。また、上述の外部導体膜 6 3 は、必ずしも形成されなくてもよい。

【 0 0 3 6 】

積層型電子部品 2 1 は、また、想像線で示すような器状の金属カバー 3 6 を備えていてもよい。金属カバー 3 6 は、チップ部品 3 3 を覆うように積層体 2 4 に装着される。金属カバー 3 6 は、端子導体 3 4 の特定のものの、たとえばグラウンド電位が与えられる端子導体 3 4 との間で半田付けされ、それによって、この特定の端子導体 3 4 に対して電氣的に接続されかつ機械的に固定される。

【 0 0 3 7 】

図 1 において詳細には図示しないが、積層体 2 4 の内部には、絶縁層 2 3 間の特定の界面に沿っていくつかの内部導体膜が設けられ、また、特定の絶縁層 2 3 を貫通するようにいくつかのビアホール導体が設けられている。これら内部導体膜およびビアホール導体は、この積層型電子部品 2 1 において必要な配線を与えると同時に、必要に応じて、コンデンサ、インダクタ、遅延線および／またはフィルタ等を構成するように配置される。積層体 2 4 の内部には、上述した内部導体膜のほか、抵抗器を与える抵抗体膜が設けられることもある。

【 0 0 3 8 】

図 1 には、上述した内部導体膜として、内部導体膜 3 7、3 8、3 9 および 4 0 が図示され、ビアホール導体として、ビアホール導体 4 1 が図示されている。

【 0 0 3 9 】

さらに、この発明の特徴的構成として、積層体 2 4 の内部には、外部導体膜 3 2 と対向するように、予備導体膜 4 2 が絶縁層 2 3 間の特定の界面に沿って設けられている。予備導体膜 4 2 は、ビアホール導体 4 3 を介して、外部導体膜 3 2 と電氣的に接続され、それによって、外部導体膜 3 2 に対して同電位とされる。このような予備導体膜 4 2 が設けられることにより、次のような効果が奏される。

【 0 0 4 0 】

前述した内部導体膜 3 7 ～ 3 9 がたとえば容量形成のために設けられ、また、この積層型電子部品 2 1 の使用状態において、外部導体膜 3 2 にグラウンド電位が与えられるとき、外部導体膜 3 2 には一定の直流バイアスが印加されることがある。このような状況下において、外部導体膜 3 2 の直下の絶縁層 2 3 にクラックが生じたとしても、外部導体膜 3 2 と予備導体膜 4 2 とは互いに同電位であるため、互いの間に電界が生じず、そのためマイグレーションも発生しなくなる。その結果、ショート不良やリーク不良などの致命的な欠陥が積層型電子部品 2 1 にもたらされることを防止することができる。

【 0 0 4 1 】

また、予備導体膜 4 2 は、上述したクラックが積層体 2 4 の内部にさらに進行しないように食い止める機能も有している。

【 0 0 4 2 】

予備導体膜 4 2 と外部導体膜 3 2 との間の絶縁層 2 3 の厚みは、より厚いほど、クラックが生じにくくなり、また、マイグレーションも生じにくくなるが、一方では、積層型電子部品 2 1 の低背化を阻害する。したがって、これら 2 つの要素を比較考量したとき、予備導体膜 4 2 と外部導体膜 3 2 との間の絶縁層 2 3 の厚みは、1 0 ～ 1 5 0 μ m 程度とされることが好ましいが、2 5 μ m 以上とされることがより好ましい。また、予備導体膜 4 2 と外部導体膜 3 2 との間には、単

に 1 層の絶縁層 2 3 が介在するように設計することが好ましい。

【 0 0 4 3 】

また、予備導体膜 4 2 による前述したような効果をより完璧に発揮させるためには、予備導体膜 4 2 は、少なくとも外部導体膜 3 2 を覆う面積、すなわち、外部導体膜 3 2 の面積と同等以上の面積を有していることが好ましい。これによって、たとえば、クラックを通してめっき液が浸入することがあっても、このようなめっき液の浸入を予備導体膜 4 2 によって、より完璧に食い止める効果も期待できる。

【 0 0 4 4 】

また、予備導体膜 4 2 は、さらに、内部導体膜 3 7 ～ 3 9 を覆う面積、すなわち、内部導体膜 3 7 ～ 3 9 と同等以上の面積を有していることが好ましい。

【 0 0 4 5 】

また、ビアホール導体 4 3 は、キャビティ 2 7 の底面 3 0 が延びる領域外に位置されることが好ましい。これによって、上述しためっき液の浸入がビアホール導体 4 3 に沿って生じる可能性を低減できるとともに、底面 3 0 の平坦性がビアホール導体 4 3 によって阻害されることを防止することができる。

【 0 0 4 6 】

図 2 は、この発明の第 2 の実施形態による積層型電子部品 5 1 を示す断面図である。図 2 において、図 1 に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【 0 0 4 7 】

積層型電子部品 5 1 に備える積層体 5 2 の主面 2 9 上に設けられた外部導体膜 3 1 と対向するように、絶縁層 2 3 間の特定の界面に沿って、予備導体膜 5 3 が設けられている。予備導体膜 5 3 は、ビアホール導体 5 4 を介して、外部導体膜 3 1 と電氣的に接続され、それによって、外部導体膜 3 1 に対して同電位とされる。

【 0 0 4 8 】

図 2 では、積層体 5 2 の内部に形成される内部導体膜として、内部導体膜 5 5 、 5 6 および 5 7 が図示されている。これら内部導体膜 5 5 ～ 5 7 は、たとえば

、容量形成または配線等の機能を有していて、これら内部導体膜 5 5 ～ 5 7 と外部導体膜 3 1 との間に一定の直流バイアスが印加される状況で使用されることもある。そのため、外部導体膜 3 1 の直下の絶縁層 2 3 においてクラックが生じた場合、前述したようなマイグレーションによるショート不良またはリーク不良の問題が引き起こされる。

【 0 0 4 9 】

図 2 に示した予備導体膜 5 3 によっても、図 1 に示した予備導体膜 4 2 の場合と実質的に同様、上述した問題を生じにくくすることができる。また、図 2 に示した予備導体膜 5 3 は、外部導体膜 3 1 の剥離または脱落に対する強度の向上にも寄与させることができる。

【 0 0 5 0 】

図 3 は、この発明の第 3 の実施形態による積層型電子部品 6 1 を示す断面図である。図 3 において、図 1 に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【 0 0 5 1 】

図 3 に示した積層型電子部品 6 1 に備える積層体 6 2 の、実装基板 2 2 側に向く主面 2 5 上には、実装基板 2 2 との間での電氣的接続を図るように入出力用端子として機能する外部導体膜 6 3 が設けられている。そして、この外部導体膜 6 3 と対向するように、予備導体膜 6 4 が、絶縁層 2 3 間の特定の界面に沿って設けられている。

【 0 0 5 2 】

また、予備導体膜 6 4 と外部導体膜 6 3 とは、積層体 6 2 の外表面、たとえば側面上に設けられた導体 6 5 を介して互いに電氣的に接続され、それによって、互いに同電位とされる。この導体 6 5 は、図 1 に示した端子導体 3 4 と実質的に同様の方法によって形成することができる。

【 0 0 5 3 】

図 3 では、積層体 6 2 の内部に形成される内部導体膜として、内部導体膜 6 6 、 6 7 および 6 8 が図示されている。これら内部導体膜 6 6 ～ 6 8 は、たとえば、容量形成、グラウンド電位付与または配線等の機能を有している。したがって

、外部導体膜 6 3 は、ここに一定の直流バイアスが印加される状況下に置かれることがある。そのため、外部導体膜 6 3 の直下の絶縁層 2 3 においてクラックが生じた場合、前述したようなマイグレーションによるショート不良またはリーク不良の問題が引き起こされる。

【 0 0 5 4 】

図 3 に示した予備導体膜 6 4 によっても、図 1 に示した予備導体膜 4 2 の場合と実質的に同様、上述した問題を生じにくくすることができる。

【 0 0 5 5 】

図 4 は、この発明の第 4 の実施形態による積層型電子部品 7 1 を示す断面図である。図 4 において、図 1 に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【 0 0 5 6 】

図 4 に示した積層型電子部品 7 1 に備える積層体 7 2 の、実装基板 2 2 側に向く主面 2 5 には、たとえば L G A (L a n d G r i d A r r a y) の構成を備える外部導体膜 7 3 が設けられている。外部導体膜 7 3 は、実装基板 2 2 との間での電氣的接続を図るためのものである。これら外部導体膜 7 3 と対向するように、絶縁層 2 3 間の特定の界面に沿って、予備導体膜 7 4 が設けられている。予備導体膜 7 4 と外部導体膜 7 3 とは、ビアホール導体 7 5 を介して互いに電氣的に接続され、それによって、互いに同電位とされる。

【 0 0 5 7 】

図 4 では、積層体 7 2 の内部に形成される内部導体膜として、内部導体膜 7 6 、 7 7 および 7 8 が図示されている。これら内部導体膜 7 6 ～ 7 8 は、たとえば、容量形成、グラウンド電位付与または配線等の機能を有している。したがって、外部導体膜 7 3 は、ここに一定の直流バイアスが印加される状況下に置かれることがある。そのため、外部導体膜 7 3 の直下の絶縁層 2 3 においてクラックが生じた場合、前述したようなマイグレーションによるショート不良またはリーク不良の問題が引き起こされる。

【 0 0 5 8 】

図 4 に示した予備導体膜 7 4 によっても、図 1 に示した予備導体膜 4 2 の場合

と実質的に同様、上述した問題を生じにくくすることができる。また、予備導体膜 7 4 は、外部導体膜 7 3 の剥離または脱落に対する強度の向上にも寄与している。

【 0 0 5 9 】

以上、この発明を図示した実施形態に関連して説明したが、この発明の範囲内において、その他、種々の変形例が可能である。

【 0 0 6 0 】

たとえば、図示した実施形態における絶縁層の積層数や、積層体に関連して設けられる内部導体膜、ビアホール導体および外部導体膜等の配置については、得ようとする積層型電子部品の設計に応じて任意に変更することができる。

【 0 0 6 1 】

また、第 1 ないし第 4 の実施形態の各々の特徴的構成を適当に組み合わせることもできる。

【 0 0 6 2 】

また、図示した実施形態では、1 つの外部導体膜に対して、1 つの予備導体膜が設けられたが、たとえば、複数の外部導体膜が互いに隣り合うように設けられ、これら外部導体膜が互いに同電位である場合には、これら複数の外部導体膜に共通に対向するように、1 つの予備導体膜が設けられてもよい。

【 0 0 6 3 】

【発明の効果】

以上のように、この発明によれば、積層型電子部品に備える積層体において、外部導体膜と同電位の予備導体膜が、外部導体膜と対向するように、絶縁層間の特定の界面に沿って設けられているので、外部導体膜の直下の絶縁層にクラックが生じた場合であっても、外部導体膜と予備導体膜とが互いに同電位であるため、互いの間に電界が生じず、それゆえ、マイグレーションも生じないため、たとえばショート不良やリーク不良といった致命的な欠陥がもたらされることを有利に防止することができる。

【 0 0 6 4 】

また、予備導体膜は、クラックのさらなる進行を食い止めることができるので

、積層型電子部品が機械的な破壊に至ることを防止することができる。

【0065】

この発明において、予備導体膜と外部導体膜との間に、1層の絶縁層が介在するようにしたり、予備導体膜と外部導体膜の間の絶縁層の厚みを10～150 μ m程度としたりすることにより、積層型電子部品の低背化をそれほど阻害することなく、予備導体膜による効果を十分に発揮させることができる。

【0066】

また、予備導体膜が、少なくとも外部導体膜を覆う面積を有していると、予備導体膜による効果を確実に発揮させることができるとともに、たとえば、クラックを通してのめっき液の浸入に対しても、これを予備導体膜によって確実に食い止めることができる。

【0067】

外部導体膜と内部導体膜との間に直流バイアスが印加されるものである場合、電界によるマイグレーションの問題に遭遇することになるので、この発明による効果がより顕著に発揮される。

【0068】

また、この発明に係る積層型電子部品に備える積層体にキャビティが設けられる場合であって、このキャビティの底面上に設けられる外部導体膜と予備導体膜とがビアホール導体を介して互いに電氣的に接続される場合には、キャビティの底面が延びる領域外にビアホール導体が位置されると、ビアホール導体に沿ってめっき液が浸入する可能性を低減することができるとともに、キャビティの底面の平坦性がビアホール導体によって損なわれることを防止することができる。

【0069】

積層体を構成する絶縁層がセラミックからなるとき、特にクラックが生じやすいので、この発明による効果が一層顕著に発揮される。

【図面の簡単な説明】

【図1】

この発明の第1の実施形態による積層型電子部品21を示す断面図である。

【図2】

この発明の第 2 の実施形態による積層型電子部品 5 1 を示す断面図である。

【図 3】

この発明の第 3 の実施形態による積層型電子部品 6 1 を示す断面図である。

【図 4】

この発明の第 4 の実施形態による積層型電子部品 7 1 を示す断面図である。

【図 5】

この発明にとって興味ある従来 of 積層型電子部品 1 を示す断面図である。

【符号の説明】

2 1, 5 1, 6 1, 7 1 積層型電子部品

2 2 実装基板

2 3 絶縁層

2 4, 5 2, 6 2, 7 2 積層体

2 5, 2 9 主面

2 6 開口

2 7 キャビティ

2 8, 3 3 チップ部品

3 0 底面

3 1, 3 2, 6 3, 7 3 外部導体膜

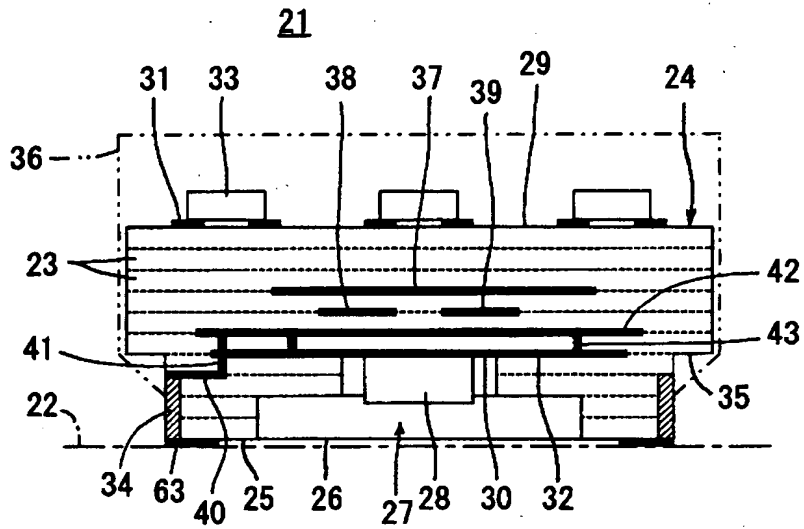
4 2, 5 3, 6 4, 7 4 予備導体膜

4 3, 5 4, 7 5 ビアホール導体

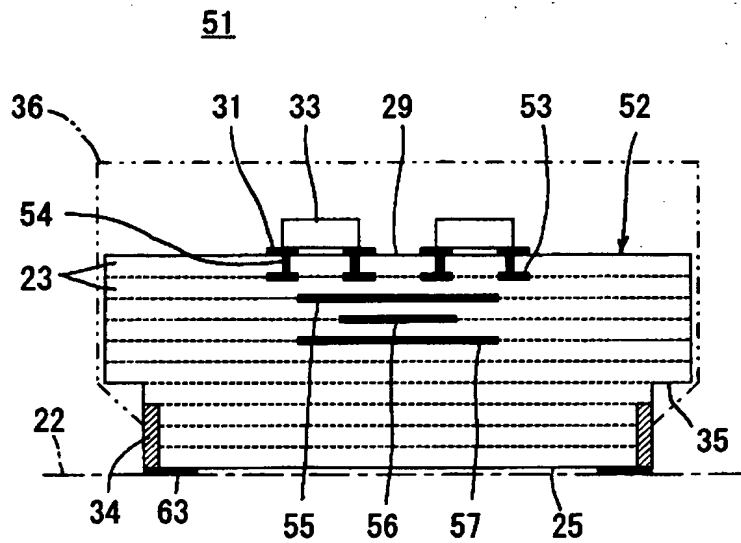
6 5 導体

【書類名】 図面

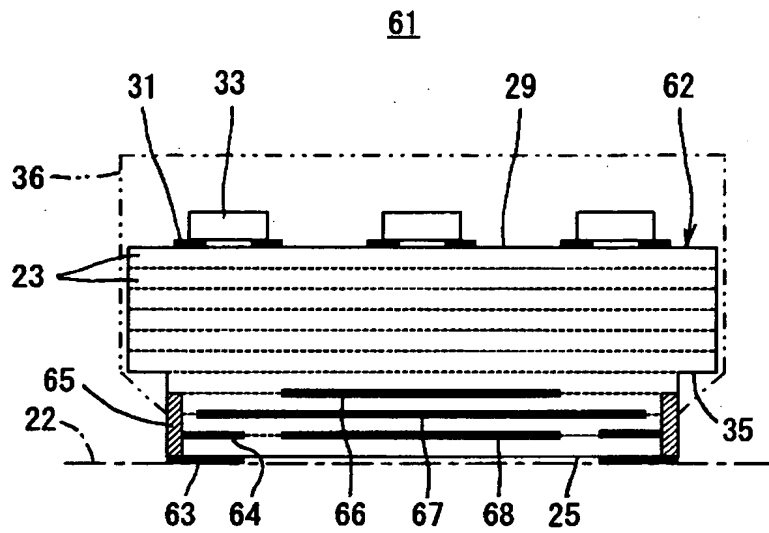
【図 1】



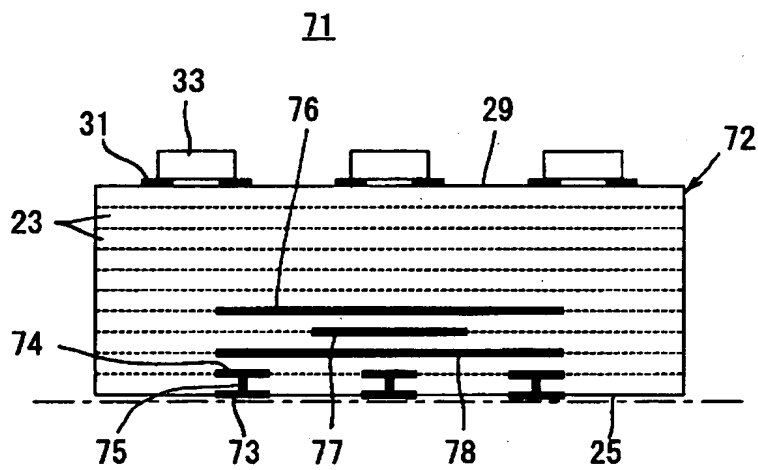
【図 2】



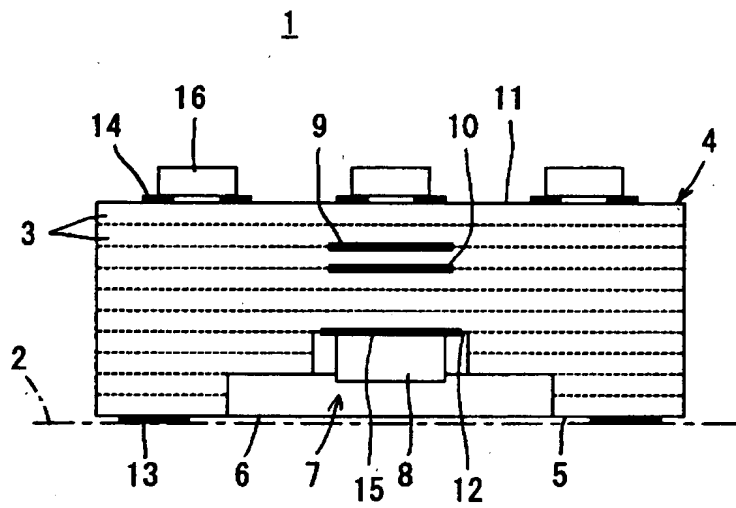
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 複数層の絶縁層を積層した積層体における外部に向かって露出している面上に外部導体膜が設けられている積層型電子部品において、外部電極の直下の絶縁層にクラックが生じたとき、外部導体膜と内部導体膜の間に印加される直流バイアスが原因となって、マイグレーションが生じ、ショート不良またはリーク不良を招くことがある。

【解決手段】 外部導体膜 3 2 と同電位の予備導体膜 4 2 を、外部導体膜 3 2 と対向するように、絶縁層 2 3 を介在させて設けるとともに、予備導体膜 4 2 と外部導体膜 3 2 とをビアホール導体 4 3 によって互いに電氣的に接続することにより、互いに同電位とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006231]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 京都府長岡京市天神二丁目26番10号

氏 名 株式会社村田製作所